

#2

PATENT

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Yusuke MATSUSHIMA Conf.:
Appl. No.: Group:
Filed: December 20, 2001 Examiner:
For: MASTER-SLAVE-TYPE SCANNING FLIP-FLOP
CIRCUIT FOR HIGH-SPEED OPERATION WITH
REDUCED LOAD CAPACITY OF CLOCK
CONTROLLER



CLAIM TO PRIORITY

Assistant Commissioner for Patents
Washington, DC 20231

Sir:

Applicant(s) herewith claim(s) the benefit of the
priority filing date of the following application(s) for the
above-entitled U.S. application under the provisions of 35
U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2000-387597	December 20, 2001

Certified copy(ies) of the above -noted application(s)
is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON

By Benoit Castel
Benoit Castel
Registration No. 35,041

745 South 23rd Street
Arlington, VA 22202
Telephone (703) 521-2297

BC/ia

Enclosures: 1 Certified Copy(ies)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JC760 U.S. PTO
10/022428



01P202

(h)

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2000年12月20日

出 願 番 号
Application Number:

特願2000-387597

出 願 人
Applicant(s):

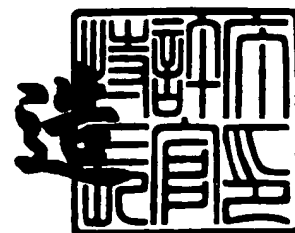
日本電気株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 8月31日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3077833

【書類名】 特許願

【整理番号】 66206332

【提出日】 平成12年12月20日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 19/00

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 松島 祐介

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9710078

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スキャン用フリップフロップ

【特許請求の範囲】

【請求項 1】 半導体集積回路装置の試験で用いられる、入力信号を一時的に保持するマスタラッチ部及びスレーブラッチ部を有するマスタスレーブ型のスキャン用フリップフロップであって、

前記マスタラッチ部の出力信号を受け取り、前記試験時に前記試験用のクロックであるスキャンクロックに同期して出力する第 1 のスキャン制御部と、

前記第 1 のスキャン制御部の出力信号を受け取り、通常の動作時に所定のクロックに同期して前記スレーブラッチ部に出力するクロック制御部と、

前記第 1 のスキャン制御部の出力に入力が接続され、前記試験時に該試験用の入力信号であるスキャンイン信号に対応するスキャンアウト信号を前記スキャンクロックに同期して出力する第 2 のスキャン制御部と、
を有するスキャン用フリップフロップ。

【請求項 2】 前記スキャン用フリップフロップは、D フリップフロップである請求項 1 記載のスキャン用フリップフロップ。

【請求項 3】 半導体集積回路装置の試験で用いられる、入力信号を一時的に保持するマスタラッチ部及びスレーブラッチ部を有するマスタスレーブ型のスキャン用フリップフロップであって、

前記マスタラッチ部の出力信号を受け取り、通常の動作時に所定のクロックに同期して前記スレーブラッチ部に出力するクロック制御部と、

前記マスタラッチ部の出力に入力が接続され、前記試験時に該試験用の入力信号であるスキャンイン信号に対応するスキャンアウト信号を前記試験用のクロックであるスキャンクロックに同期して出力するスキャン制御部と、
を有するスキャン用フリップフロップ。

【請求項 4】 前記スキャン用フリップフロップは、J-K フリップフロップである請求項 3 記載のスキャン用フリップフロップ。

【請求項 5】 半導体集積回路装置の試験で用いられる、入力信号を一時的に保持するマスタラッチ部及びスレーブラッチ部を有するマスタスレーブ型のス

キャン用フリップフロップであって、

前記マスタラッチ部の出力信号を受け取り、通常の動作時にスキャン用フリップフロップに入力されるデータ信号に同期して前記スレーブラッチ部に出力するクロック制御部と、

前記マスタラッチ部の出力に入力が接続され、前記試験時に該試験用の入力信号であるスキャンイン信号に対応するスキャンアウト信号を前記試験用のクロックであるスキャンクロックに同期して出力するスキャン制御部と、
を有するスキャン用フリップフロップ。

【請求項 6】 前記スキャン用フリップフロップは、Tフリップフロップである請求項 5 記載のスキャン用フリップフロップ。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は半導体集積回路装置の試験で用いられるフリップフロップであるスキャン用フリップフロップに関する。

【 0 0 0 2 】

【従来の技術】

近年の半導体集積回路装置（以下、LSI と称す）は、大規模化、高密度化に伴って、何らかの試験容易化設計を施さないチップの試験や故障診断が不可能になってきている。試験容易化の手法としては、例えば、回路内の各フリップフロップを鎖状に連結してシフトレジスタとしても動作するように設計しておき、試験時にこのシフト機能を利用して外部から各フリップフロップの値を任意に制御・観測できようにするスキャンパス法が知られている。

【 0 0 0 3 】

スキャンパス法を用いて L S I を試験するためには、L S I 内に試験用のフリップフロップである複数のスキャン用フリップフロップを設け、それらの試験用の入出力端子を直列に接続することで上述したシフトレジスタを形成する。

【 0 0 0 4 】

スキャン用フリップフロップは、通常のフリップフロップとして動作する通常

動作機能の他に、試験用のパターン信号であるスキャンイン信号 S I N をデータ入力とし、試験用のクロックであるスキャンクロック S C によりフリップフロップとして動作するスキャン動作機能を備えた回路である。このようなスキャン用フリップフロップの従来の構成を図 4 に示す。

【 0 0 0 5 】

図 4 は従来のスキャン用フリップフロップの構成を示す回路図である。なお、図 4 に示したスキャン用フリップフロップは、マスタスレーブ形の D フリップフロップの回路構成を示している。

【 0 0 0 6 】

図 4 に示すように、従来のスキャン用フリップフロップは、データ信号 D、あるいはスキャンイン信号 S I N を一時的に保持するマスタラッチ部 1 と、マスタラッチ部 1 の出力信号を通常動作のクロック C に同期して一時的に保持するスレーブラッチ部 2 と、データ信号 D をクロック C に同期してマスタラッチ部 1 に出力する第 1 のクロック制御部 3 と、スキャンイン信号 S I N を第 1 のスキャンクロック S C 1 に同期してマスタラッチ部 1 に出力する第 1 のスキャン制御部 4 と、マスタラッチ部 1 の出力信号を受け取り、第 2 のスキャンクロック S C 2 に同期して出力する第 2 のスキャン制御部 5 と、第 2 のスキャン制御部 5 の出力信号を受け取り、クロック C に同期してスレーブラッチ部 2 に出力する第 2 のクロック制御部 6 と、スキャン結果であるスキャンアウト信号 S O T を第 2 のスキャンクロック S C 2 に同期して出力する第 3 のスキャン制御部 7 とを有する構成である。

【 0 0 0 7 】

スレーブラッチ部 2 から出力された信号はバッファ（インバータ I N V 1）を介して端子 N 0 1 から出力データ Q として出力され、第 3 のスキャン制御部 7 から出力された信号はバッファ（インバータ I N V 2）を介して端子 N 0 2 からスキャンアウト信号 S O T として出力される。

【 0 0 0 8 】

マスタラッチ部 1、スレーブラッチ部 2、第 1 のクロック制御部 3、及び第 2 のクロック制御部 6 には、クロック C を反転させるインバータ I N V 3 の出力端

子 P 0 1、及びインバータ I N V 3 の出力クロックを反転させるインバータ I N V 4 の出力端子 P 0 2 が接続されている。

【 0 0 0 9 】

また、マスタラッチ部 1 及び第 1 のスキャン制御部 4 には、第 1 のスキャンクロック S C 1 の入力端子 H 0 4 及び第 1 のスキャンクロック S C 1 を反転させるインバータ I N V 5 の出力端子 P 0 3 が接続され、第 2 のスキャン制御部 5 及び第 3 のスキャン制御部 7 には、第 2 のスキャンクロック S C 2 の入力端子 H 0 5 及び第 2 のスキャンクロック S C 2 を反転させるインバータ I N V 6 の出力端子 C B 1 が接続されている。

【 0 0 1 0 】

マスタラッチ部 1 は、インバータ I N V 1 1 と、インバータ I N V 1 1 の出力信号を反転させるインバータ I N V 1 2 と、インバータ I N V 1 2 の出力とインバータ I N V 1 1 の入力間に直列に挿入されたトランスファークゲート T G 1 1、T G 1 2 とを有する構成であり、トランスファークゲート T G 1 1 にはインバータ I N V 3 の出力端子 P 0 1 及びインバータ I N V 4 の出力端子 P 0 2 が接続され、トランスファークゲート T G 1 2 には端子 H 0 4 及びインバータ I N V 5 の出力端子 P 0 3 が接続されている。

【 0 0 1 1 】

スレーブラッチ部 2 は、インバータ I N V 2 1 と、インバータ I N V 2 1 の出力信号を反転させるインバータ I N V 2 2 と、インバータ I N V 2 2 の出力とインバータ I N V 2 1 の入力間に挿入されたトランスファークゲート T G 2 1 とを有する構成であり、トランスファークゲート T G 2 1 にはインバータ I N V 3 の出力端子 P 0 1 及びインバータ I N V 4 の出力端子 P 0 2 が接続されている。

【 0 0 1 2 】

第 1 のクロック制御部 3 は、データ信号 D を反転するインバータ I N V 3 1 と、クロック C に同期して O N / O F F するトランスファークゲート T G 3 1 とを有する構成であり、トランスファークゲート T G 3 1 には、インバータ I N V 3 の出力端子 P 0 1 及びインバータ I N V 4 の出力端子 P 0 2 が接続されている。

【 0 0 1 3 】

第1のスキヤン制御部4は、スキヤンイン信号SINが入力され、第1のスキヤンクロックSC1に同期してON/OFFするトランスファークゲートTG41を有する構成であり、トランスファークゲートTG41には、端子H04及びインバータINV5の出力端子P03が接続されている。

【0014】

第2のスキヤン制御部5は、マスタラッチ部1の出力信号が入力され、第2のスキヤンクロックSC2に同期してON/OFFトランスファークゲートTG51を有する構成であり、トランスファークゲートTG51には、端子H05及びインバータINV6の出力端子CB1が接続されている。

【0015】

第2のクロック制御部6は、第2のスキヤン制御部5の出力信号が入力され、クロックCに同期してON/OFFするトランスファークゲートTG61を有する構成であり、トランスファークゲートTG61には、インバータINV3の出力端子P01及びインバータINV4の出力端子P02が接続されている。

【0016】

第3のスキヤン制御部7は、第2のクロック制御部6の出力信号が入力され、第2のスキヤンクロックSC2に同期してON/OFFするトランスファークゲートTG71を有する構成であり、トランスファークゲートTG71は、端子H05及びインバータINV6の出力端子CB1が接続されている。

【0017】

なお、トランスファークゲートは、PMOSトランジスタとNMOSトランジスタのソース・ドレインが共通に接続された構成であり、PMOSトランジスタのゲート及びNMOSトランジスタのゲートに印加される制御信号に応じてON/OFFするスイッチとして動作する。

【0018】

次に、図4に示したスキヤン用フリップフロップの動作について説明する。

【0019】

まず、図4に示したスキヤン用フリップフロップの通常動作時、第1のスキヤンクロックSC1はLレベルで維持され、第2のスキヤンクロックSC2はHレ

ベルで維持されている。したがって、マスタラッチ部 1 のトランスファークゲート TG 1 2、及び第 2 のスキャン制御部 5 のトランスファークゲート TG 5 1 はそれぞれ ON 状態で維持され、第 1 のスキャン制御部 4 のトランスファークゲート TG 4 1、及び第 3 のスキャン制御部 7 のトランスファークゲート TG 7 1 はそれぞれ OFF 状態で維持されている。

【 0 0 2 0 】

このような状態で、端子 H 0 1 からデータ信号 D として H レベルまたは L レベルが入力され、クロック C が立ち下がると、第 1 のクロック制御部 1 0 3 のトランスファークゲート TG 3 1 が ON し、データ信号 D がマスタラッチ部 1 0 1 に入力される。

【 0 0 2 1 】

マスタラッチ部 1 は、第 1 のクロック制御部 3 から受け取った信号をインバータ INV 1 1 で反転し、第 2 のスキャン制御部 5 に出力する。上述したように、第 2 のスキャン制御部 5 のトランスファークゲート TG 5 1 は ON 状態で維持されているため、マスタラッチ部 1 の出力信号はそのまま第 2 のクロック制御部 6 に入力される。第 2 のクロック制御部 6 は、クロック C の立ち下がり時（L レベル）にはトランスファークゲート TG 6 1 が OFF であるため、何も出力しない。

【 0 0 2 2 】

次に、クロック C が立ち上がると、第 1 のクロック制御部 3 は、トランスファークゲート TG 3 1 が OFF するため、マスタラッチ部 1 に対するデータの出力を停止する。

【 0 0 2 3 】

マスタラッチ部 1 では、クロック C の立ち上がりに同期してトランスファークゲート TG 1 1 が ON し、インバータ INV 1 2 の出力信号がトランスファークゲート TG 1 1、TG 1 2 を介してインバータ INV 1 1 の入力に帰還されたため、出力信号をクロック C が L レベルの時の値（H レベルまたは L レベル）で維持する。

【 0 0 2 4 】

第 2 のクロック制御部 6 は、クロック C が立ち上がるとトランスファークゲート

TG 6 1 が ON するため、第 2 のスキャン制御部 5 から受け取った信号をスレーブラッチ部 2 に出力する。

【 0 0 2 5 】

スレーブラッチ部 2 は、第 2 のクロック制御部 6 から受け取った信号をインバータ INV 2 1 で反転して出力する。端子 N 0 1 からはインバータ INV 1 でさらに反転された信号が出力される。

【 0 0 2 6 】

続いて、クロック C が再び立ち下がると、第 2 のクロック制御部 1 0 6 は、トランスファークロック TG 6 1 が再び OFF するため、スレーブラッチ部 1 0 2 に対するデータの出力を停止する。

【 0 0 2 7 】

スレーブラッチ部 1 0 2 では、トランスファークロック TG 2 1 が ON してインバータ INV 2 1 の出力信号がインバータ INV 2 1 の入力に帰還されたため、出力信号をクロック C が H レベルの時の値（H レベルまたは L レベル）で維持する。

【 0 0 2 8 】

一方、図 4 に示したスキャン用フリップフロップのスキャン動作時、クロック C は H レベルで維持されるため、マスタラッチ部 1 のトランスファークロック TG 1 1 及び第 2 のクロック制御部 6 のトランスファークロック TG 6 1 はそれぞれ ON 状態で維持され、第 1 のクロック制御部 3 のトランスファークロック TG 3 1 及びスレーブラッチ部 2 のトランスファークロック TG 2 1 はそれぞれ OFF 状態で維持される。

【 0 0 2 9 】

このような状態で、端子 H 0 3 からスキャンイン信号 SIN として H レベルまたは L レベルが入力され、第 1 のスキャンクロック SC 1 が立ち上がると、第 1 のスキャン制御部 1 0 4 は、トランスファークロック TG 4 1 が ON するため、端子 H 0 3 から入力されたスキャン信号 SIN をマスタラッチ部 1 0 1 に出力する。

【 0 0 3 0 】

マスタラッチ部 1 0 1 は、第 1 のスキャン制御部 1 0 4 から受け取った信号をインバータ INV 1 1 で反転し、第 2 のスキャン制御部 5 に出力する。

【 0 0 3 1 】

第 2 のスキャン制御部 5 は、第 2 のスキャンクロック SC 2 が L レベルであり、トランスファークラック TG 5 1 が OFF しているため、何も出力しない。

【 0 0 3 2 】

次に、第 1 のスキャンクロック SC 1 が立ち下がると、第 1 のスキャン制御部 4 は、トランスファークラック TG 4 1 が OFF するため、マスタラッチ部 1 に対するデータの出力を停止する。

【 0 0 3 3 】

マスタラッチ部 1 では、第 1 のスキャンクロック SC 1 が立ち下がるとトランスファークラック TG 1 2 が ON し、インバータ INV 1 2 の出力信号がトランスファークラック TG 1 1、TG 1 2 を介してインバータ INV 1 1 の入力に帰還されたため、出力信号を第 1 のスキャンクロック SC 1 が H レベルの時の値（H レベルまたは L レベル）で維持する。

【 0 0 3 4 】

続いて、第 2 のスキャンクロック SC 2 が立ち上がると、第 2 のスキャン制御部 5 は、トランスファークラック TG 5 1 が ON するため、マスタラッチ部 1 から受け取ったデータを第 2 のクロック制御部 6 に出力する。

【 0 0 3 5 】

第 2 のクロック制御部 6 は、上述したようにトランスファークラック TG 6 1 が ON 状態にあるため、第 2 のスキャン制御部 5 から受け取った信号をそのままスレーブラッチ部 2 及び第 3 のスキャン制御部 7 に出力する。

【 0 0 3 6 】

スレーブラッチ回路 2 は、第 2 のクロック制御部 6 から受け取ったデータをインバータ INV 2 1 で反転して出力する。

【 0 0 3 7 】

一方、第 3 のスキャン制御部 7 は、トランスファークラック TG 7 1 が OFF しているため、何も出力しない。

【0038】

そして、第2のスキヤンクロックSC2が立ち下がると、第2のスキヤン制御部5は、トランスファークラックTG51がOFFするため、第2のクロック制御部5に対するデータ出力を停止する。

【0039】

また、第2のスキヤンクロックSC2が立ち下がると、第3のスキヤン制御部7のトランスファークラックTG71がONし、インバータINV22の出力信号がトランスファークラックTG71を介してインバータINV21の入力に帰還されたため、第2のスキヤン制御部5は、出力信号を第2のスキヤンクロックSC2がHレベル時の値（HレベルまたはLレベル）で維持する。

【0040】

以上の動作をまとめると、図5に示す真理値表のようになる。

【0041】

なお、図5に示した「X」は不定状態を示し、矢印はクロックの立ち上がりを示している。また、「QB」は「Q」の反転を示し、「SINB」は「SIN」の反転を示している。さらに、「NORMAL」は通常動作時を示し、「SCAN SHIFT」はスキヤン動作時を示している。

【0042】

ところで、上述したように、図4に示したスキヤン用フリップフロップは、マスタスレーブ形のDフリップフロップであるが、マスタスレーブ形のフリップフロップとしては、図6に示すようなJ-Kフリップフロップ、あるいは図7に示すようなTフリップフロップも知られている。

【0043】

図6は従来のスキヤン用フリップフロップの他の構成を示す図であり、J-Kフリップフロップの構成を示す回路図である。また、図7は従来のスキヤン用フリップフロップの他の構成を示す図であり、Tフリップフロップの構成を示す回路図である。

【0044】

図6に示すように、マスタスレーブ形のJ-Kフリップフロップは、データ

信号 J、K、あるいはスキャンイン信号 S I N J、S I N K を一時的に保持するマスタラッチ部 1 1 と、マスタラッチ部 1 1 の出力信号を通常動作のクロック C に同期して一時的に保持するスレーブラッチ部 1 2 と、データ信号 J、K をクロック C に同期してマスタラッチ部 1 1 に出力する第 1 のクロック制御部 1 3 と、スキャンイン信号 S I N J、S I N K を第 1 のスキャンクロック S C 1 に同期してマスタラッチ部 1 1 に出力する第 1 のスキャン制御部 1 4 と、マスタラッチ部 1 1 の出力信号を受け取り、クロック C に同期してスレーブラッチ部 1 2 に出力する第 2 のクロック制御部 1 6 と、スキャン結果であるスキャンアウト信号 S O T を第 2 のスキャンクロック S C 2 に同期して出力する第 2 のスキャン制御部 1 7 と、テストモード信号 S M D にしたがってデータ信号 J、K あるいはスキャンイン信号 S I N J、S I N K のいずれか一方をマスタラッチ部 1 1 に出力するセクタ回路 1 8 とを有する構成である。

【 0 0 4 5 】

また、図 7 に示すように、マスタスレーブ形の T フリップフロップは、データ信号 J、あるいはスキャンイン信号 S I N を一時的に保持するマスタラッチ部 2 1 と、マスタラッチ部 2 1 の出力信号を一時的に保持するスレーブラッチ部 2 2 と、テストモード信号 S M D にしたがってデータ信号 J あるいはスキャンイン信号 S I N のいずれか一方をマスタラッチ部 2 1 に出力するセクタ回路 2 8 と、セクタ回路 2 8 の出力信号を受け取り、マスタラッチ部 2 1 に対するデータ信号 J あるいはスキャンイン信号 S I N の出力を制御する第 1 のクロック制御部 2 3 と、マスタラッチ部 2 1 の出力信号を受け取り、スレーブラッチ部 2 2 に対する出力を制御する第 2 のクロック制御部 2 6 と、スキャン結果であるスキャンアウト信号 S O T をスキャンクロック S C 1 に同期して出力するスキャン制御部 2 7 とを有する構成である。

【 0 0 4 6 】

図 6 に示した J - K フリップフロップ、及び図 7 に示した T フリップフロップがそれぞれ有するマスタラッチ部及びスレーブラッチ部は、2 つの N A N D ゲートから成る R S フリップフロップで構成される。また、第 1 のクロック制御部、第 1 のスキャン制御部、第 2 のクロック制御部、及び第 2 のスキャン制御部は N

ANDゲート及びインバータ等の論理ゲートで構成された回路である。

【0047】

このような構成において、図6に示したJ-Kフリップフロップ、及び図7に示したTフリップフロップは、テストモード信号SMDによってデータ信号、あるいはスキャンイン信号のいずれか一方がセクタ回路によって選択され、通常動作時にはデータ信号がマスタラッチ部に入力され、スキャン動作時にはスキャンイン信号がマスタラッチ部に入力される。

【0048】

図6に示すJ-Kフリップフロップの場合、データ信号J、KはクロックCの立ち下がりに同期してマスタラッチ部11に取り込まれ、スキャンイン信号SINJ、SINKは第1のスキャンクロックSC1の立ち上がりに同期してマスタラッチ部11に取り込まれる。また、スキャンアウト信号SOTは、第2のスキャンクロックSC2の立ち上がりに同期して第2のスキャン制御部17から出力される。

【0049】

一方、図7に示すTフリップフロップの場合、セクタ回路28によって選択されたデータ信号J、あるいはスキャンイン信号SINがそのままマスタラッチ部21に取り込まれる。また、スキャンアウト信号SOTは、スキャンクロックSC1の立ち上がりに同期してスキャン制御部27から出力される。

【0050】

【発明が解決しようとする課題】

近年、コンピュータ等のシステムは、その性能向上に伴って動作クロックの周波数が益々高くなってきている。そのため、それらのシステムで用いられるLSIの回路要素であるゲートやフリップフロップ等の回路遅延時間も低減する必要がある。したがって、試験用の回路を追加することで遅延時間が増加することは好ましくない。

【0051】

しかしながら、図4に示した従来のスキャン用フリップフロップでは、通常の動作時の信号経路中にある第2のクロック制御部のトランスファージェートTG6

1 の出力に、通常動作時で用いるスレーブラッチ部のインバータ I N V 2 1 及びトランスファークロップ T G 2 1 だけでなく、スキャン動作時に用いる第 3 のスキャン制御部のトランスファークロップ T G 7 1 も負荷として接続されているため、トランスファークロップ T G 6 1 の負荷容量が増加し、遅延時間が増加してしまう問題があった。

【 0 0 5 2 】

同様に、図 6 及び図 7 に示した従来のスキャン用フリップフロップでも、通常の動作時の信号経路中にある第 2 のクロック制御部の出力に、通常動作時で用いるスレーブラッチ部の N A N D クロップだけでなく、スキャン動作時に用いるスキャン制御部の N A N D クロップも負荷として接続されているため、第 2 のクロック制御部の負荷容量が増加し、遅延時間が増加してしまう問題があった。

【 0 0 5 3 】

本発明は上記したような従来の技術が有する問題点を解決するためになされたものであり、試験用の回路を追加することによる遅延時間の増加を抑えて、より高速に動作するスキャン用フリップフロップを提供することを目的とする。

【 0 0 5 4 】

【課題を解決するための手段】

上記目的を達成するため本発明のスキャン用フリップフロップは、半導体集積回路装置の試験で用いられる、入力信号を一時的に保持するマスタラッチ部及びスレーブラッチ部を有するマスタスレーブ型のスキャン用フリップフロップであって、

前記マスタラッチ部の出力信号を受け取り、前記試験時に前記試験用のクロックであるスキャンクロックに同期して出力する第 1 のスキャン制御部と、

前記第 1 のスキャン制御部の出力信号を受け取り、通常の動作時に所定のクロックに同期して前記スレーブラッチ部に出力するクロック制御部と、

前記第 1 のスキャン制御部の出力に入力が接続され、前記試験時に該試験用の入力信号であるスキャンイン信号に対応するスキャンアウト信号を前記スキャンクロックに同期して出力する第 2 のスキャン制御部と、

を有する構成であり、前記スキャン用フリップフロップは、D フリップフロップ

として動作するものである。

【 0 0 5 5 】

上記のように構成されたスキャン用フリップフロップは、第2のスキャン制御部が、クロック制御部ではなく第1のスキャン制御部の出力に接続されているため、通常の動作時の信号経路中にあるクロック制御部の負荷容量が低減されて遅延時間が短縮される。

【 0 0 5 6 】

また、本発明の他のスキャン用フリップフロップは、半導体集積回路装置の試験で用いられる、入力信号を一時的に保持するマスタラッチ部及びスレーブラッチ部を有するマスタスレーブ型のスキャン用フリップフロップであって、

前記マスタラッチ部の出力信号を受け取り、通常の動作時に所定のクロックに同期して前記スレーブラッチ部に出力するクロック制御部と、

前記マスタラッチ部の出力に入力が接続され、前記試験時に該試験用の入力信号であるスキャンイン信号に対応するスキャンアウト信号を前記試験用のクロックであるスキャンクロックに同期して出力するスキャン制御部と、
を有する構成であり、前記スキャン用フリップフロップは、J-Kフリップフロップとして動作するものである。

【 0 0 5 7 】

または、半導体集積回路装置の試験で用いられる、入力信号を一時的に保持するマスタラッチ部及びスレーブラッチ部を有するマスタスレーブ型のスキャン用フリップフロップであって、

前記マスタラッチ部の出力信号を受け取り、通常の動作時にスキャン用フリップフロップに入力されるデータ信号に同期して前記スレーブラッチ部に出力するクロック制御部と、

前記マスタラッチ部の出力に入力が接続され、前記試験時に該試験用の入力信号であるスキャンイン信号に対応するスキャンアウト信号を前記試験用のクロックであるスキャンクロックに同期して出力するスキャン制御部と、
を有する構成であり、前記スキャン用フリップフロップは、Tフリップフロップとして動作するものである。

【 0 0 5 8 】

上記のように構成されたスキャン用フリップフロップは、スキャン制御部が、クロック制御部ではなくマスタラッチ部の出力に接続されているため、通常の動作時の信号経路中にあるクロック制御部の負荷容量が低減されて遅延時間が短縮される。

【 0 0 5 9 】

【発明の実施の形態】

次に本発明について図面を参照して説明する。

【 0 0 6 0 】

図 1 は本発明のスキャン用フリップフロップの一構成例を示す回路図である。

【 0 0 6 1 】

図 1 に示すように、本発明のスキャン用フリップフロップは、従来のスキャン用フリップフロップと同様に、データ信号 D、あるいはスキャンイン信号 S I N を一時的に保持するマスタラッチ部 1 と、マスタラッチ部 1 の出力信号を通常動作のクロック C に同期して一時的に保持するスレーブラッチ部 2 と、データ信号 D をクロック C に同期してマスタラッチ部 1 に出力する第 1 のクロック制御部 3 と、スキャンイン信号 S I N を第 1 のスキャンクロック S C 1 に同期してマスタラッチ部 1 に出力する第 1 のスキャン制御部 4 と、マスタラッチ部 1 の出力信号を受け取り、第 2 のスキャンクロック S C 2 に同期して出力する第 2 のスキャン制御部 5 と、第 2 のスキャン制御部 5 の出力信号を受け取り、クロック C に同期してスレーブラッチ部 2 に出力する第 2 のクロック制御部 6 と、スキャン結果であるスキャンアウト信号 S O T を第 2 のスキャンクロック S C 2 に同期して出力する第 3 のスキャン制御部 7 とを有する構成である。

【 0 0 6 2 】

本実施形態のスキャン用フリップフロップは、第 3 のスキャン制御部 7 の入力第 2 のスキャン制御部 5 の出力と接続された点が図 4 に示した従来のスキャン用フリップフロップと異なっている。その他の構成及び動作は図 4 に示した従来のスキャン用フリップフロップと同様であるため、その説明は省略する。また、本実施形態のスキャン用フリップフロップの動作も図 4 に示したスキャン用フリ

ップフロップと同様であるため、その説明は省略する。

【 0 0 6 3 】

次に、本発明のスキヤン用フリップフロップの効果について説明する。

【 0 0 6 4 】

一般に、トランスファークゲートの遅延時間は、（トランスファークゲートのON時の抵抗値）×（負荷容量）に比例する。したがって、トランスファークゲートの抵抗値をR、トランスファークゲートが負荷として接続された場合の負荷容量をC1、インバータが負荷として接続された場合の負荷容量をC2とすると、図1に示した第2のクロック制御部6のトランスファークゲートTG61の遅延時間Td1は以下のようなになる。

【 0 0 6 5 】

$$T d 1 = R \times (C 1 + C 2) = R C 1 + R C 2 \cdots (1)$$

一方、図4に示した従来のスキヤン用フリップフロップの第2のクロック制御部6のトランスファークゲートTG61の遅延時間Td2は以下のようなになる。

【 0 0 6 6 】

$$T d 2 = R \times (2 \times C 1 + C 2) = 2 R C 1 + R C 2 \cdots (2)$$

したがって、第3のスキヤン制御部7のトランスファークゲートTG71が接続されないことで負荷容量が軽減した分だけ第2のクロック制御部6の遅延時間が改善される。

【 0 0 6 7 】

なお、図1に示すように、第2のスキヤン制御部5のトランスファークゲートTG51は、その出力に第2のクロック制御部6のトランスファークゲートTG61だけでなく第3のスキヤン制御部7のトランスファークゲートTG71も負荷として接続されるため、負荷容量が増大して遅延時間が増大してしまう。

【 0 0 6 8 】

上述したように、スキヤン用フリップフロップの通常動作時、クロックCの立ち下がり時に取り込まれたデータ信号Dは第2のスキヤン制御部5の出力であるノードAまで到達しており、クロックCの立ち上がり同期して第2のクロック制御部6のトランスファークゲートTG61がONし、スレーブラッチ部2及びイ

ンバータ I N V 1 を介して出力される。

【 0 0 6 9 】

したがって、データ信号 D が入力される端子 H 0 1 からノード A の間にスキャン用の回路が追加されて遅延時間が増加しても、フリップフロップとして動作する際の遅延時間を増加させるものではない。但し、図 4 に示した従来のスキャン用フリップフロップのように、第 2 のクロック制御部 6 のトランスファークゲート T G 6 1 の遅延時間が増加した場合はスキャン用フリップフロップの遅延時間を増加させてしまう。

【 0 0 7 0 】

よって、本発明の構成によれば、図 4 に示した従来のスキャン用フリップフロップよりも、ノード A から出力端子 N 0 1 へ信号が到達するまでの遅延時間が短縮されるため、スキャン用フリップフロップ全体の遅延時間を短縮することができる。

【 0 0 7 1 】

また、ノード A から出力端子 N 0 1 までの経路のうち、従来と本発明の構成はトランスファークゲート T G 6 1 の遅延時間のみが異なり他の回路の遅延時間は同じであり、従来のスキャン用フリップフロップと論理的な動作の変更がない。このため、従来のスキャン用フリップフロップの設計資産の多くを流用することができる。

【 0 0 7 2 】

なお、上記説明では、スキャン用フリップフロップとして、マスタスレーブ形の D フリップフロップの回路構成を示しているが、D フリップフロップに限らず、マスタスレーブ形であれば図 6 に示した J - K フリップフロップや図 7 に示した T フリップフロップであっても本発明を適用すれば、上記と同様の効果を得ることができる。

【 0 0 7 3 】

図 2 は本発明のスキャン用フリップフロップの他の構成例である J - K フリップフロップの構成を示す回路図である。また、図 3 は本発明のスキャン用フリップフロップの他の構成例である T フリップフロップの構成を示す回路図である。

【 0 0 7 4 】

図 2 及び図 3 に示すように、従来、第 2 のクロック制御部の負荷として接続されていた第 2 のスキャン制御部を、マスタラッチ部の負荷として接続することで、上記と同様に通常の動作時の信号経路中にある第 2 のクロック制御部の負荷容量が低減され、従来のスキャン用フリップフロップよりも、第 2 のクロック制御部の入力から出力端子 N 0 1 へ信号が到達するまでの遅延時間が短縮される。よって、スキャン用フリップフロップ全体の遅延時間を短縮することができる。

【 0 0 7 5 】

【発明の効果】

本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

【 0 0 7 6 】

通常の動作時の信号経路中にあるクロック制御部の出力に、従来のように試験時の信号経路中にあるスキャン制御部が接続されないため、クロック制御部の負荷容量が低減されて遅延時間が短縮される。

【 0 0 7 7 】

したがって、スキャン用フリップフロップ全体の遅延時間が短縮される。また、論理的な動作の変更がないため、従来のフリップフロップの資産の多くを流用することができる。

【図面の簡単な説明】

【図 1】

本発明のスキャン用フリップフロップの一構成例を示す回路図である。

【図 2】

本発明のスキャン用フリップフロップの他の構成例である J - K フリップフロップの構成を示す回路図である。

【図 3】

本発明のスキャン用フリップフロップの他の構成例である T フリップフロップの構成を示す回路図である。

【図 4】

従来のスキャン用フリップフロップの構成を示す回路図である。

【図 5】

図 4 に示したスキャン用フリップフロップの動作を示す真理値表である。

【図 6】

従来のスキャン用フリップフロップの他の構成を示す図であり、J-Kフリップフロップの構成を示す回路図である。

【図 7】

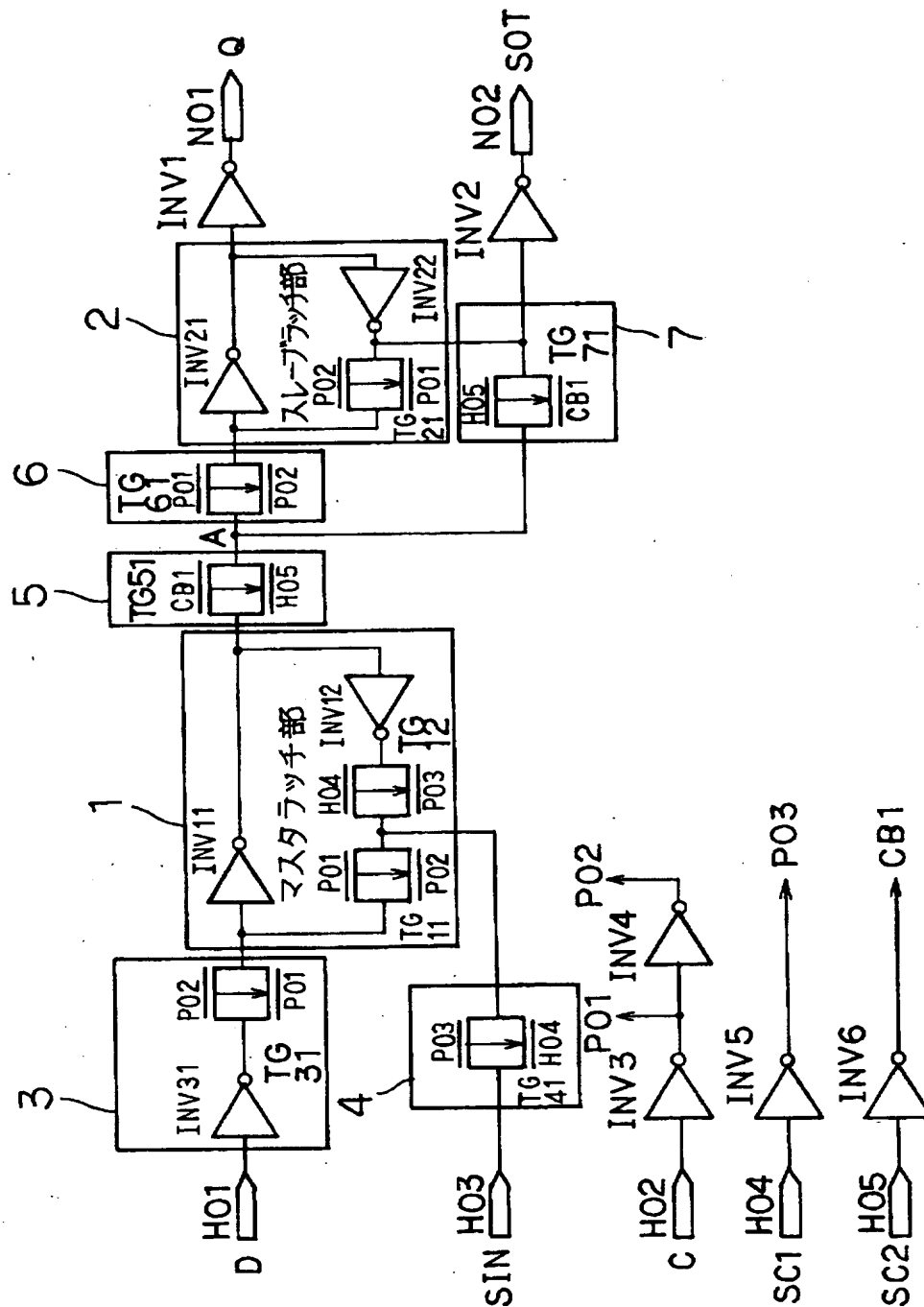
従来のスキャン用フリップフロップの他の構成を示す図であり、Tフリップフロップの構成を示す回路図である。

【符号の説明】

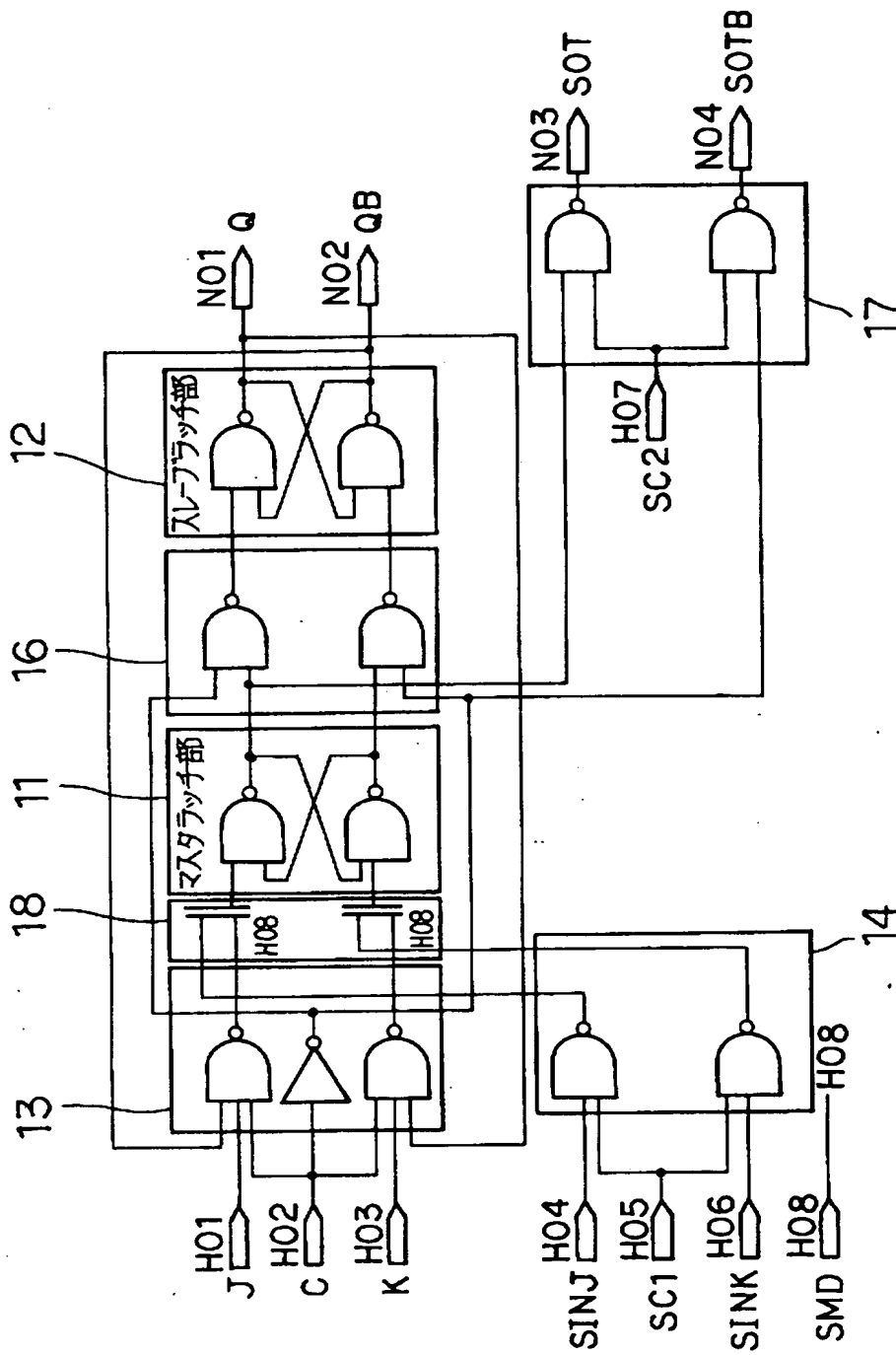
- 1、11、21 マスタラッチ部
- 2、12、22 スレーブラッチ部
- 3、13、23 第1のクロック制御部
- 4、14 第1のスキャン制御部
- 5、17 第2のスキャン制御部
- 6、16、26 第2のクロック制御部
- 7 第3のスキャン制御部
- 27 スキャン制御部
- 18、28 セレクタ回路
- INV1～INV6、INV11、INV12、INV21、INV22、INV31 インバータ
- TG11、TG12、TG21、TG31、TG41、TG51、TG61、TG71 トランスファークゲート

【書類名】 図面

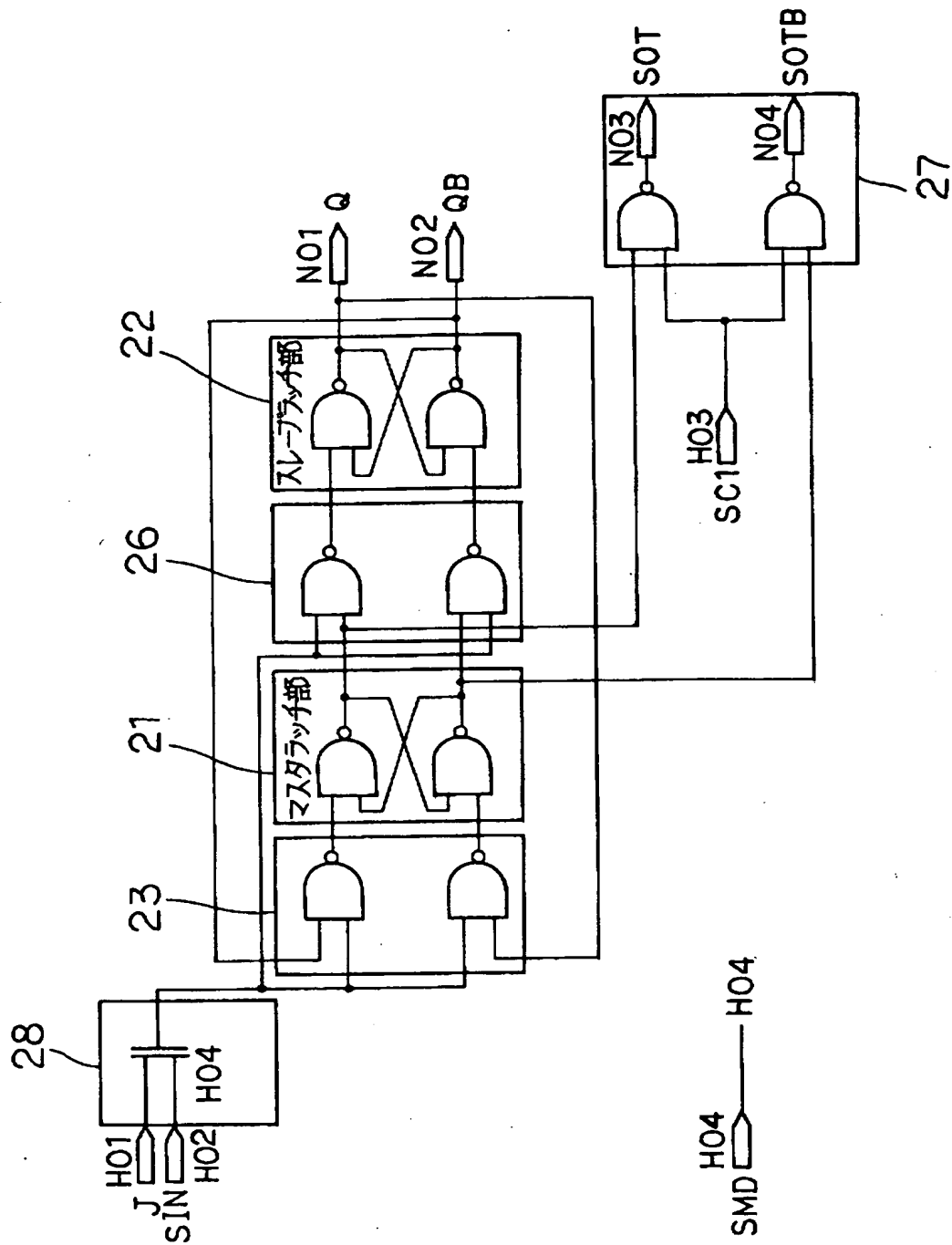
【図 1】



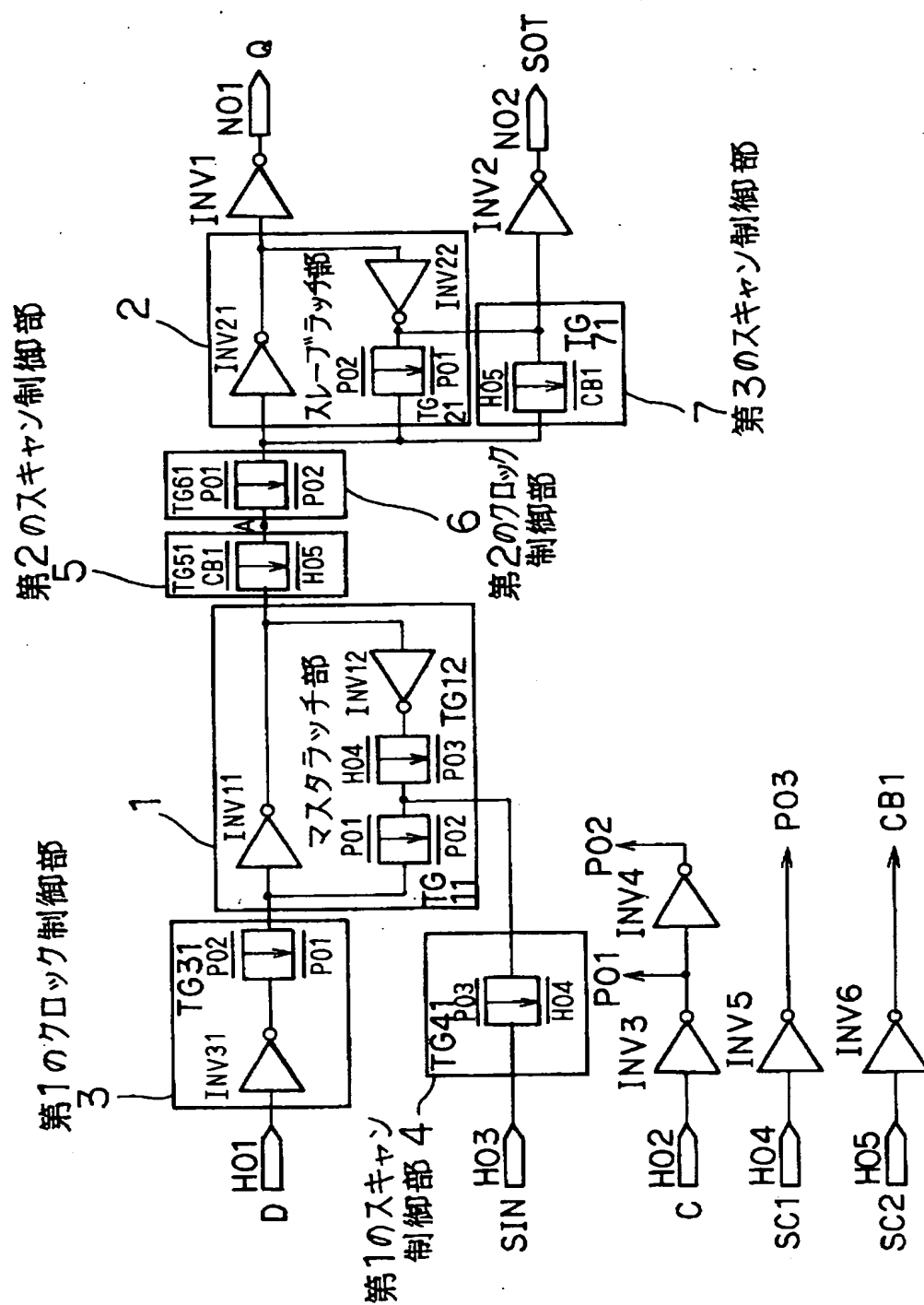
【図 2】



【図 3】



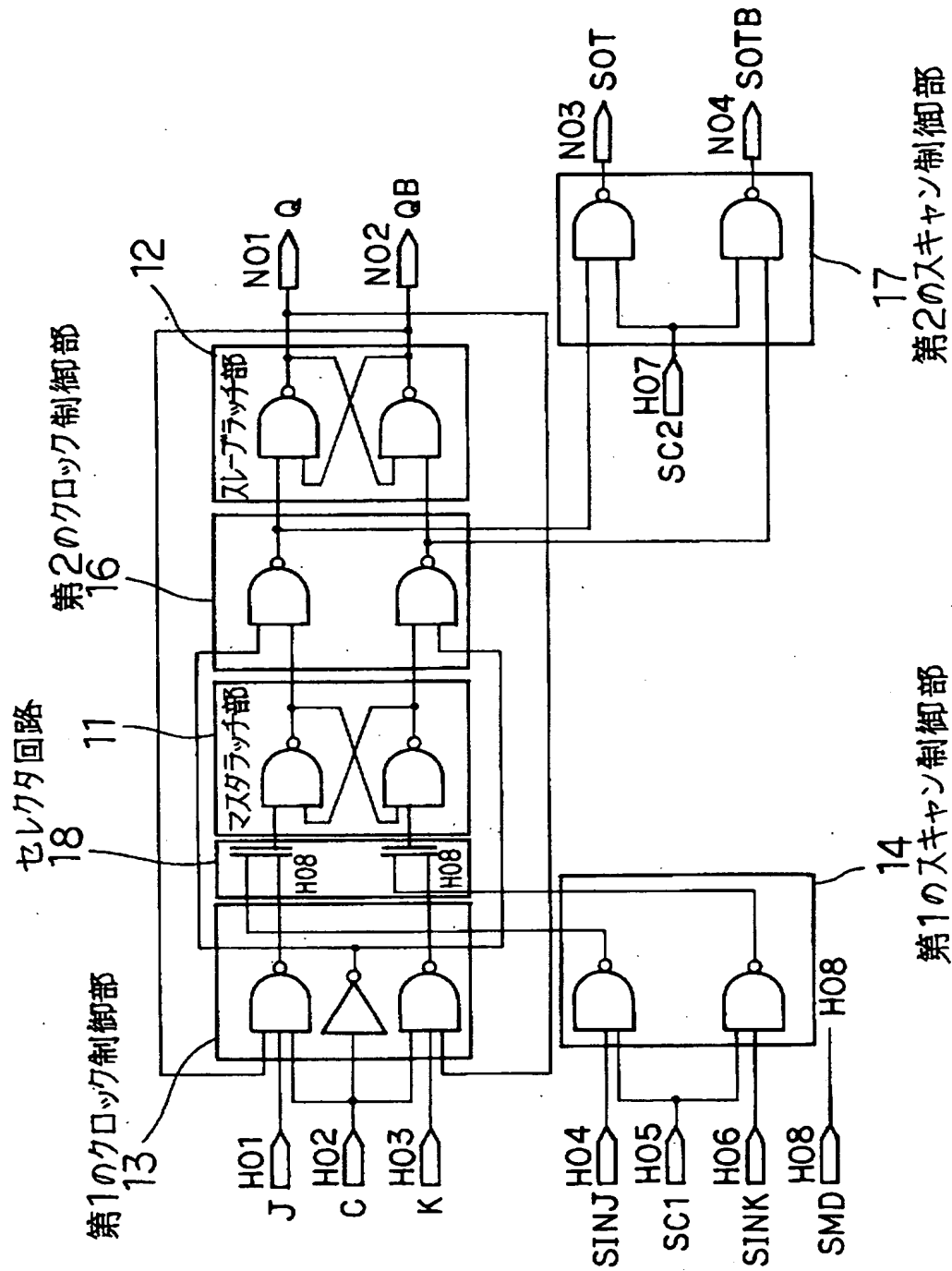
【図 4】



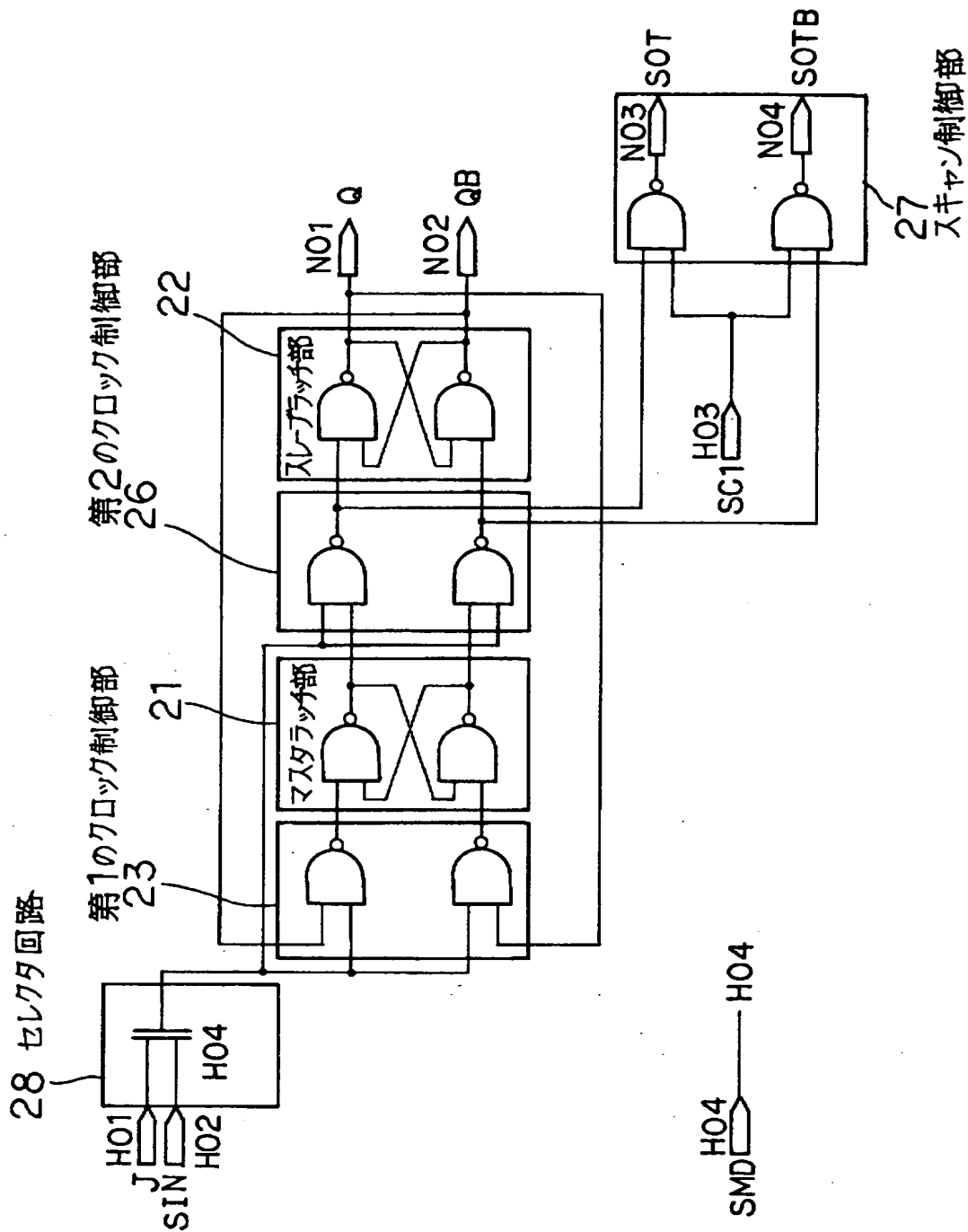
【図 5】

D C SIN			SC1	SC2	Q QB SOUT	MODE
0	↑	X	0	1	0 1 1	NORMAL
1	↑	X	0	1	1 0 0	
X	0	X	X	1	HOLD	
X	1	SIN	↑	↑	SINB SIN SIN	SCAN SHIFT
X	1	X	X	0	HOLD	

【図 6】



【図7】



【書類名】 要約書

【要約】

【課題】 試験用の回路を追加することによる遅延時間の増加を抑えて、より高速に動作するスキャン用フリップフロップを提供する。

【解決手段】 半導体集積回路装置の試験で用いられる、入力信号を一時的に保持するマスタラッチ部及びスレーブラッチ部を有するマスタスレーブ型のスキャン用フリップフロップであって、マスタラッチ部の出力信号を受け取り、試験時に試験用のクロックであるスキャンクロックに同期して出力する第1のスキャン制御部と、第1のスキャン制御部の出力信号を受け取り、通常の動作時に所定のクロックに同期してスレーブラッチ部に出力するクロック制御部と、第1のスキャン制御部の出力に入力が接続され、試験時に該試験用の入力信号であるスキャンイン信号に対応するスキャンアウト信号を前記スキャンクロックに同期して出力する第2のスキャン制御部とを有する構成とする。

【選択図】 図1

出 願 人 履 歷 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社